

Original document

## SIMULATION SYSTEM

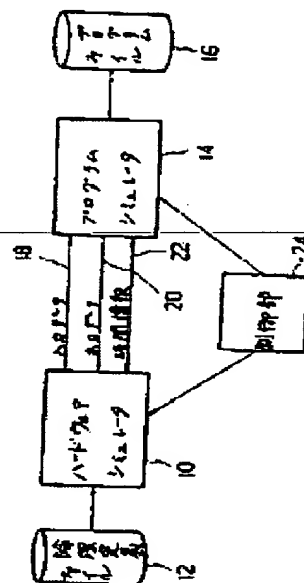
Patent number: JP63049851  
 Publication date: 1988-03-02  
 Inventor: AYABE SAKAE; TSUDERA SHIYOUJI  
 Applicant: HITACHI ELECTR ENG  
 Classification:  
 - international: **G06F11/26; G06F11/28; G06F11/26; G06F11/28**; (IPC1-7): G06F11/26; G06F11/28; G06F15/20  
 - european:  
 Application number: JP19860193630 19860819  
 Priority number(s): JP19860193630 19860819

View INPADOC patent family

Report a data error here

### Abstract of JP63049851

**PURPOSE:** To perform the simulation in an environment equivalent to that of a real device by executing the simulation in synchronism with a hardware simulator means and a program simulator means while exchanging the I/O data between both simulator means. **CONSTITUTION:** A program simulator means 14 performs simulation of a control program by means of the input data received from the hardware simulated by a hardware simulator means 10 not by the prepared data. While the means 10 simulates the hardware working by means of the input data given from a processor simulated by the means 14 not by the prepared data. Then the synchronism is secured by the time information between the simulating actions of both means 14 and 10. Thus it is possible to attain a simulation system that simulates the hardware working and the control program under the conditions approximately equal to the environment of a real device of a subject system.



Data supplied from the *esp@cenet* database - Worldwide

u)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-49851

⑬ Int. Cl.<sup>4</sup>

G 06 F 11/26  
11/28  
15/20

識別記号

3 4 0

庁内整理番号

7368-5B  
7343-5B  
D-7230-5B

⑭ 公開 昭和63年(1988)3月2日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 シミュレーションシステム

⑯ 特 願 昭61-193630

⑰ 出 願 昭61(1986)8月19日

⑱ 発 明 者 綾 部 栄 東京都千代田区大手町2丁目6番2号 日立電子エンジニアリング株式会社内

⑲ 発 明 者 津 寺 省 児 東京都千代田区大手町2丁目6番2号 日立電子エンジニアリング株式会社内

⑳ 出 願 人 日立電子エンジニアリング株式会社 東京都千代田区大手町2丁目6番2号

㉑ 代 理 人 弁理士 梶山 信是 外1名

明 細 書

1. 発明の名称

シミュレーションシステム

2. 特許請求の範囲

(1) プロセッサにより、制御プログラムに従って1以上のハードウェアを制御するようにしてなる対象システムの動作の模擬を行うためのシミュレーションシステムであって、論理定義データによって論理を定義された前記ハードウェアの動作の模擬を行うためのハードウェアシミュレータ手段と、前記プロセッサによる前記制御プログラムの実行動作を模擬するためのプログラムシミュレータ手段とを有し、前記プログラムシミュレータ手段および前記ハードウェアシミュレータ手段により、相互に前記ハードウェアおよび前記プロセッサとの間のI/Oデータおよび同期用の時間情報をそれぞれ交換しつつ、前記プロセッサによる前記制御プログラムの実行動作の模擬および前記ハードウェアの動作の模擬を相互に同期をとりながら並行して行うようにしてなるシミュレーション

システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、プロセッサにより、制御プログラムに従って1以上のハードウェアを制御するようにしてなるシステムの動作の模擬を行うためのシミュレーションシステムに関する。

〔従来の技術〕

近年、ロボットシステムのように、プロセッサ(例えばマイクロプロセッサ)により、制御プログラムに従って1以上のハードウェアを制御するようにしてなるシステムが多くなっている。

このようなシステムの開発において、従来は、制御プログラムと、それにより制御されるハードウェアのテストおよびデバッグを、それぞれの開発段階で別々に行っている。

具体的には、ハードウェアに関しては、大型計算機システム上でソフトウェアにより実現されるシミュレーションシステムを用い、論理定義データによってハードウェアの論理を定義するととも

に、予め予測して別途作成した入力データ（プロセッサの出力データ、換言すれば制御プログラムからの出力データ）を入力し、ハードウェアの動作を模擬させることにより、ハードウェアのテストとデバッグを行っている。

同様に、制御プログラムに関しては、大型計算機システム上でソフトウェアにより実現されるシミュレーションシステムを用い、予め予測して別途作成したハードウェアからの入力データを入力し、プロセッサによる制御プログラムの実行動作を模擬させることにより、制御プログラムのテストとデバッグを行っている。

#### 〔解決しようとする問題点〕

しかし、ハードウェアに関しては、ハードウェア単体の動作の模擬を充分に行うことができて、制御プログラムとの絡みの充分な模擬は不可能であるため、システムの実機環境におけるハードウェアのテストとデバッグの完璧を期すことは困難である。

また、制御プログラムに関しては、そのテスト

とデバッグを完全に行うには、実際のハードウェアからの入力データ（ハードウェアの状態）の時間的変化に対応させて、時間と関連付けた入力データを用意する必要があるが、その入力データの作成が容易でない。

しかも、用意できる入力データにはおのずと限界があるので、ハードウェア側のあらゆる状態に関連させて制御プログラムのテストとデバッグを完全に行うことは実際上不可能であった。

このようなことから、別個に行った模擬によってハードウェアおよび制御プログラムの正常性が確認されても、システムの開発の最終段階で、実際にハードウェアとプロセッサとを接続して制御プログラムを走らせると、直ちにシステムが正常に動作することは稀であり、殆どの場合、制御プログラムまたはハードウェアの手直しが必要となる。

#### 〔発明の目的〕

したがって、この発明の目的は、そのような従来の問題点を解決すべく、対象としているシステ

ムの実機環境と同等な環境において、そのハードウェアの動作および制御プログラムの実行動作の模擬を行うことができるシミュレーションシステムを提供することにある。

#### 〔問題点を解決するための手段〕

前記従来の問題点を解決して前記目的を達成するために、この発明によるシミュレーションシステムは、プロセッサにより制御プログラムに従って1以上のハードウェアを制御するようにしてなる対象システムの動作の模擬を行うためのものであって、論理定義データによって論理を定義された前記ハードウェアの動作の模擬を行うためのハードウェアシミュレータ手段と、前記プロセッサによる前記制御プログラムの実行動作を模擬するためのプログラムシミュレータ手段とを有し、前記プログラムシミュレータ手段および前記ハードウェアシミュレータ手段により、相互に前記ハードウェアおよび前記プロセッサとの間のI/Oデータおよび同期用の時間情報をそれぞれ交換しつつ、前記プロセッサによる前記制御プログラムの

実行動作の模擬および前記ハードウェアの動作の模擬を相互に同期をとりながら並行して行う構成とされるものである。

#### 〔作用〕

このように、この発明のシミュレーションシステムにおいては、ハードウェアと制御プログラムがそれぞれ独立に模擬されるのではなく、ハードウェアシミュレータ手段とプログラムシミュレータ手段との間でI/Oデータを交換させつつ、ハードウェアの動作と制御プログラムの実行動作との模擬が同期をとりながら実行される。

つまり、プログラムシミュレータ手段は、予め用意されたハードウェアからの入力データを用いて模擬を行うのではなく、ハードウェアシミュレータ手段により模擬されたハードウェアからの入力データを用いて制御プログラムの模擬実行を行う。

同様に、ハードウェアシミュレータ手段は、予め用意された入力データを用いて模擬を行うのではなく、プログラムシミュレータ手段により模擬

されたプロセッサ（もしくは制御プログラム）からの入力データを用いて、ハードウェアの動作の模擬を行う。

このように、この発明のシミュレーションシステムによれば、対象システムの実機環境とほぼ同じ条件下にて、ハードウェアの動作および制御プログラムの模擬実行を行い、ハードウェアと制御プログラムとの絡みとタイミングも含めてハードウェアおよび制御プログラムのテストとデバッグを行うことができる。

また、従来のように、ハードウェアおよび制御プログラムのテストおよびデバッグのための大量の入力データを予め作成する必要がないので、システムのテストとデバッグを効率的に行うことができる。

#### 〔実施例〕

以下、図面を参照し、この発明の一実施例について説明する。

第1図は、この発明のシミュレーションシステムの機能的構成を簡略化して示す概略ブロック図

である。第2図は、このシミュレーションシステムが実現される計算機システムの簡略化したシステム構成図である。

まず、第2図において計算機システムについて説明すれば、1はメモリであり、これにはシステムバス2を介して中央演算処理装置(CPU)3およびチャネル4が接続されている。チャネル4には、ディスク制御装置5を介して磁気ディスク装置6が接続されている。

各部の機能などは標準的であるから、その説明は割愛する。

つぎに、第1図を参照して、このシミュレーションシステムについて説明するが、これは前記計算機システム上でソフトウェアによって実現されるので、以下の説明において第2図も適宜参照する。

10は対象システムのハードウェアの動作を模擬するためのハードウェアシミュレータである。このハードウェアシミュレータ10は計算機システム上でソフトウェアによって実現されるもので

あり、そのためのプログラムはある磁気ディスク装置6からメモリ1の特定領域にロードされCPU3により実行される。

12はハードウェアシミュレータ10のデータファイルとしての論理定義ファイルであり、対象システムのハードウェアの論理定義データを格納している。この論理定義ファイル12は、実際にはある磁気ディスク装置6が割り当てられる。この論理定義データは、模擬開始に先立って論理定義ファイル12よりメモリ1の特定領域にロードされる。

14はプログラムシミュレータであり、これは対象システムのプロセッサによる制御プログラムの実行動作を模擬するためのものである。このプログラムシミュレータ14は計算機システム上でソフトウェアによって実現されるものであり、そのためプログラムはある磁気ディスク装置6からメモリ1の特定領域にロードされてCPU3により実行される。

16はプログラムシミュレータ14のデータフ

ァイルとしてのプログラムファイルであり、対象システムの制御プログラムを格納している。このプログラムファイル16は、実際には、ある磁気ディスク装置6が割り当てられる。この制御プログラムも、その模擬実行に先立ってプログラムファイル16よりメモリ1の特定領域にロードされる。

ハードウェアシミュレータ10とプログラムシミュレータ14の間では、ハードウェアからプロセッサへの入力データ18とプロセッサからの出力データ20（両方をI/Oデータと総称することがある）および時間情報22が交換される。

この時間情報22は、ハードウェアシミュレータ10による模擬動作とプログラムシミュレータ14による模擬動作との同期をとるために必要なものである。

通常、ハードウェアシミュレータ10とプログラムシミュレータ14は模擬実行速度がかなり違うので、そのような同期化の手段が必要となるわけである。

前記時間情報22を得るために、例えば各シミュレータ10、14に、その起動時から動作を開始するソフトウェア時計が用意されている。ただし、CPU3の内蔵する実時間時計機構を利用し、各シミュレータ10、14からそれを参照することによって、時間情報22の交換を行うようにしてもよい。

24はハードウェアシミュレータ10およびプログラムシミュレータ14の起動、停止などの制御を行う制御部である。この制御部24も、実際には計算機システム上でソフトウェアによって実現されるものである。

以下、このシミュレーションシステムによる模擬動作について説明する。

制御部24によって各シミュレータ10、14が起動されると、同時にI/Oデータ(18、20)および時間情報22も初期化され、模擬動作が始まる。この起動は、対象システムの電源投入に相当する。

なお、計算機システムのハードウェア上の制約

から、実際には、各シミュレータを実現するためのプログラムはCPU3によって時分割的に実行されるが、説明を簡単にするために、各シミュレータは起動後、連続的に動作するものとして説明する。

起動したプログラムシミュレータ14は、制御プログラム(起動に先立ち、プログラムファイル18からメモリ1にロードされている)の命令を1語ずつ解釈し、計算機システムのハードウェア資源を利用して模擬的に実行する。

そして、アクセスアドレスから対象としているハードウェアに対するI/O命令を検出した場合、その命令がハードウェアからのデータ入力の命令であれば入力データ18を読込み、制御プログラムに渡す。逆に、ハードウェアに対するデータ出力の命令の場合、そのデータを出力データ20としてハードウェアシミュレータ10へ渡す。

また、このような模擬実行中に、プログラムシミュレータ14は、時間情報22を参照することによってハードウェアシミュレータ10により模

擬されているハードウェアの動作状況を把握し、制御プログラムの模擬実行とハードウェアシミュレータ10によるハードウェア動作の模擬との同期をとる。

他方、ハードウェアシミュレータ10は、論理定義データ(起動に先立ち、論理定義ファイル12からメモリ1にロードされている)によって定義されたハードウェアの論理に従って、プログラムシミュレータ14の出力データ20に対応したハードウェアの動作を模擬し、ハードウェアの出力信号のビット情報をバイトデータに編集し、そのデータを入力データ18としてプログラムシミュレータ14へ渡す。

また、ハードウェアシミュレータ10は、模擬動作中に時間情報22を参照することによって、プログラムシミュレータ14による制御プログラムの模擬実行動作の状況を認識し、ハードウェアの模擬動作と制御プログラムの模擬実行動作との同期をとる。

このようにして、ハードウェア10およびプロ

グラムシミュレータ14により、対象システムの実機と同様な環境で、ハードウェア動作および制御プログラム実行動作の模擬が行われる。

以上、一実施例について説明したが、この発明はそれだけに限定されるものではなく、その要旨を逸脱しない範囲内で様々に変形して実施し得るものである。

#### [発明の効果]

以上説明したように、この発明によれば、プログラムシミュレータ手段により、予め用意されたデータではなく、ハードウェアシミュレータ手段により模擬されたハードウェアからの入力データを用いて制御プログラムの模擬実行を行い、また、ハードウェアシミュレータ手段により、予め用意されたデータではなく、プログラムシミュレータ手段により模擬されたプロセッサ(または制御プログラム)からの入力データを用いて、ハードウェアの動作の模擬を行い、さらに、時間情報によって各シミュレータ手段による模擬動作の同期をとる構成であって、対象システムの実機環境とは

ば同じ条件下にて、ハードウェアの動作および制御プログラムの模擬実行を行うシミュレーションシステムを実現できる。

このように、この発明によれば、実際のハードウェアが完成する前に、ハードウェアと制御プログラムとの絡みとタイミングも含めてハードウェアおよび制御プログラムのテストとデバッグを完璧に行うことができる。したがって、従来のようなシステムの開発の最終段階でのハードウェアまたは制御プログラムの手直しは殆ど必要でなくなり、システム開発の効率化を達成できる。

また、テストおよびデバッグのための大量の入力データを予め作成する必要がないので、システムのテストとデバッグを効率的に行うことができる。

#### 4. 図面の簡単な説明

第1図は、この発明のシミュレーションシステムの一実施例の機能的構成を簡略化して示す概略ブロック図、第2図はそのシミュレーションシステムが実現される計算機システムの簡略化したシ

ステム構成図である。

10…ハードウェアシミュレータ、12…論理定義ファイル、14…プログラムシミュレータ、16…プログラムファイル、18…入力データ、20…出力データ、22…時間情報。

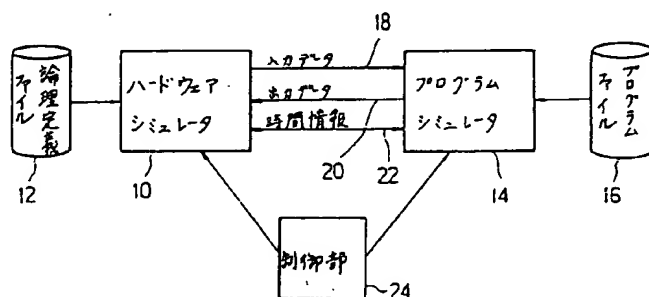
特許出願人

日立電子エンジニアリング株式会社

代理人 弁理士 梶 山 信 足

弁理士 山 本 富 士 男

第 1 図



第 2 図

